

# CSTBT- 5-е поколение модулей IGBT - “Mitsubishi-Electric”

СТАНДАРТНЫЕ IGBT МОДУЛИ, КАК ПРАВИЛО, ОПТИМИЗИРОВАНЫ ДЛЯ УПРАВЛЕНИЯ ДВИГАТЕЛЯМИ (ИЛИ ДЛЯ ПОДОБНЫХ ПРИМЕНЕНИЙ) С ЧАСТОТАМИ ДО 15КГЦ. ОДНИМ ИЗ ОСНОВНЫХ КРИТЕРИЕВ ОПТИМИЗАЦИИ ЯВЛЯЕТСЯ НАПРЯЖЕНИЕ НАСЫЩЕНИЯ  $V_{CE(SAT)}$ . НО НА СЕГОДНЯШНИЙ ДЕНЬ МОДУЛИ НАХОДЯТ ВСЕ БОЛЬШЕЕ ПРИМЕНЕНИЕ В ТАКИХ ОБЛАСТЯХ, КАК МОЩНЫЕ ЛАЗЕРЫ, МЕДИЦИНА, ТЕЛЕКОММУНИКАЦИИ, ИНДУКЦИОННЫЙ НАГРЕВ, МОЩНЫЕ СВАРОЧНЫЕ ИСТОЧНИКИ ПИТАНИЯ И Т.П. ЗДЕСЬ ТРЕБУЮТСЯ БОЛЕЕ ВЫСОКИЕ ЧАСТОТЫ ДЛЯ ПОЛУЧЕНИЯ ЛУЧШИХ ХАРАКТЕРИСТИК ИЗДЕЛИЯ И ДЛЯ УМЕНЬШЕНИЯ РАЗМЕРОВ МАГНИТНЫХ КОМПОНЕНТОВ (ТРАНСФОРМАТОРЫ И Т.П.). НА ВЫСОКИХ ЧАСТОТАХ ПОТЕРИ НА ПЕРЕКЛЮЧЕНИЕ СТАНОВЯТСЯ ВСЕ БОЛЕЕ ОЩУТИМЫМИ, И ОБЫЧНО ЭТО ОГРАНИЧИВАЕТ ПРИМЕНЕНИЕ СТАНДАРТНЫХ МОДУЛЕЙ. ДАННАЯ СТАТЬЯ ПРЕДСТАВЛЯЕТ IGBT МОДУЛИ “MITSUBISHI-ELECTRIC” НОВОГО ПОКОЛЕНИЯ, КОТОРЫЕ БЫЛИ РАЗРАБОТАНЫ С ЦЕЛЬЮ ПОЛУЧЕНИЯ НИЗКОГО НАПРЯЖЕНИЯ  $V_{CE(SAT)}$  И МАЛЫХ ПОТЕРЬ ПРИ ПЕРЕКЛЮЧЕНИИ НА ВЫСОКИХ ЧАСТОТАХ.

## НОВЫЕ IGBT МОДУЛИ 5-ГО ПОКОЛЕНИЯ CSTBT (CARRIER STORED TRENCH GATE BIPOLAR TRANSISTOR)

Структурно CSTBT характеризуются ведением дополнительного N-слоя с относительно высокой плотностью примесей, расположенного между P-базовым и N<sup>-</sup> - слоем в обычном канавочном (trench) IGBT.

Когда стандартный trench IGBT находится в открытом состоянии, “дырки” инжектируются в N<sup>-</sup> слой из P<sup>+</sup> - слоя от коллектора и движутся в сторону эмиттера. В связи с тем, что плотность примесей в N<sup>-</sup> слое, который формирует переход с P-базовым слоем, больше, чем в N<sup>-</sup> слое, напряжение перехода (P-базовый слой - N-слой) выше, чем напряжение перехода (P-базовый слой - N<sup>-</sup> слой) в обычном канавочном IGBT. Это высокое напряжение является барьером, предотвращающим прохождение к эмиттерной стороне “дырок”, которые были инжектированы в N<sup>-</sup> слой из P<sup>+</sup> - слоя. Одним словом, N-слой способствует концентрации “дырок” в нем и ограничивает их перемещение в P-базовый слой. Эта функция накопления является причиной того, что напряжение включения CSTBT ( $V_{CE(SAT)}$ ) существенно ниже, чем в стандартном канавочном IGBT.

На рис.2 представлена эквивалентная схема идеального IGBT во включенном состоянии. Отсюда видно, что напряжение включения ( $V_{CE(SAT)}$ ) представляет собой сумму прямого падения напряжения на PIN-диод и на  $R_{DS(ON)}$  MOSFET- части.

$R_{DS(ON)}$  может быть уменьшено за счет увеличения ширины канала на единицу

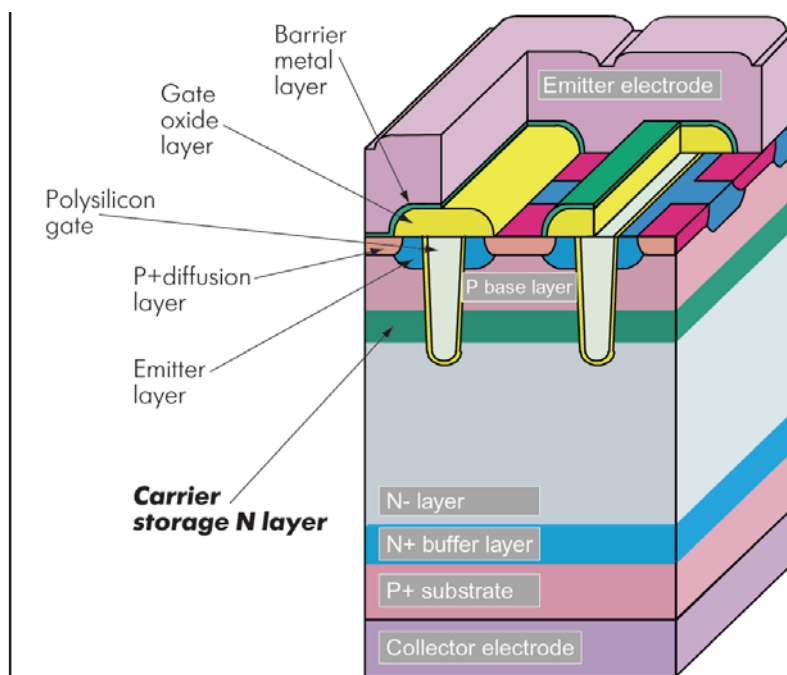


Рисунок 1 Трехмерная модель CSTBT

площади кристалла. За счет применения trench-структуры было достигнуто существенное увеличение ширины канала плюс практически сведено к нулю паразитное сопротивление JFET, обусловленное MOSFET-частью.

На рис. 3 показано распределение концентрации носителей в N<sup>-</sup> слое. Кривая А показывает распределение (нормальное) в N<sup>-</sup> слое для идеального PIN диода. Кривая В представляет распределение для стандартного Trench IGBT, которое отличается от идеального случая уменьшением концентрации носителей у эмиттерной части. Это, в свою

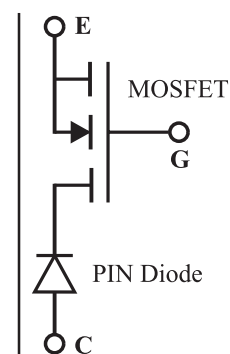
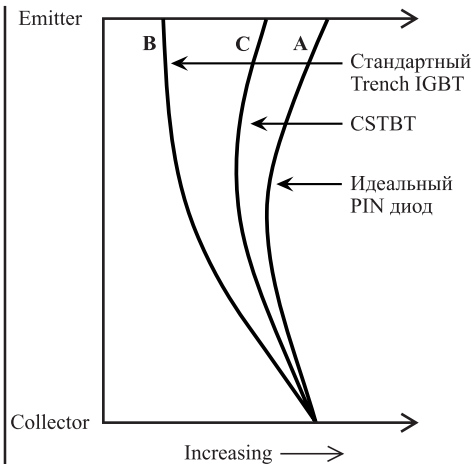


Рисунок 2 Модель IGBT во включенном состоянии



**Рисунок 3** Распределение носителей в N-слое

очередь, существенно увеличивает сопротивление PIN диода, в результате чего увеличивается напряжение  $V_{CE(SAT)}$ . Использование дополнительного N-слоя с высокой концентрацией примесей в CSTBT (кривая C) позволило увеличить проводимость в N-слое и соответственно снизить  $V_{CE(SAT)}$ .

**ТЕХНОЛОГИЯ PLUGGED CELL MERGED (PCM)**

Основными требованиями при разработке структуры кристалла мощного полупроводникового прибора является соотношение между скоростью переключения, статическими потерями, областью безопасной работы и способностью противостоять короткому замыканию (К.З.). Частично эти параметры были улучшены с помощью внедрения trench-технологии и возможностью управления временем жизни носителей.

В обычных trench-модулях для уменьшения сопротивления  $R_{DSon}$  и, соответственно,  $V_{CEsat}$  включают параллельно

несколько ячеек. Но это приводит к увеличению тока короткого замыкания, что, в свою очередь, ухудшает естественную способность модуля противостоять К.З. (Кроме того, это приводит к увеличению затворной емкости прибора по сравнению с планарными структурами. А это, в свою очередь, требует увеличения мощности управления прибором и уменьшает его быстродействие.)

Естественная способность противостоять К.З. базируется на поглощении некоторого количества энергии, которое не вызывает перегрева чипа, пока короткое замыкание не будет обнаружено и устранено. В стандартных trench-модулях это время близко к 5 мкс. С помощью RTC-цепочки этот интервал был расширен до 10 мкс

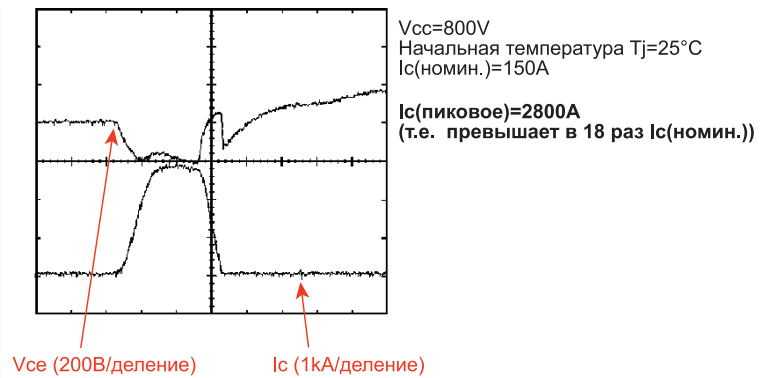
На рис. 4,5 приведены графики  $I_c$  и  $V_{ce}$  при коротком замыкании с использованием RTC-цепочки и без нее.

К сожалению, дополнительное введение RTC-чипа усложняет интеграцию модуля и вследствие этого растет его стоимость - в то время как модули с низкими естественными токами короткого замыкания не требуют помощи дополнительных схем ограничения тока.

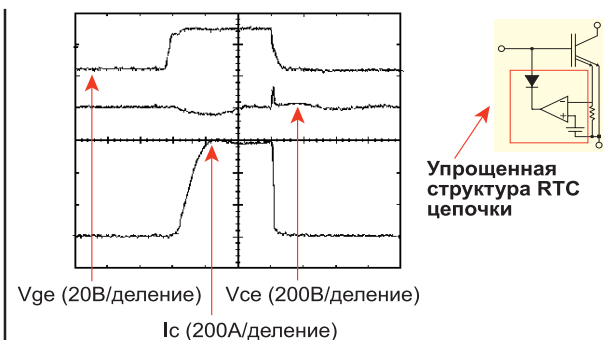
Ток К.З. зависит от плотности ячеек и используемой технологии. Для снижения тока К.З. необходимо уменьшать общую ширину канала. Простейший путь достичь этого - использовать ячейки с широким шагом. Но это приводит к увеличению  $R_{DSon}$ . Отсюда проблема выбора между напряжением насыщения  $V_{ce}$  и током  $I_c$ .

Выбирая оптимальный шаг ячеек можно добиться желаемого соотношения  $V_{ce}/I_c$ . Например, для применений, где не требуется большая способность выдерживать К.З. - можно использовать узкий шаг ячеек, чтобы получить низкое  $V_{ce}$ . Широкий шаг ячеек можно применять, если необходимо сохранить устойчивость к короткому замыканию в высоковольтных устройствах. Для обеспечения гибкости технологии с использованием минимального количества изменений шаблона была создана новая технология **Plugged Cell Merged (PCM) CSTBT** (рис.6)

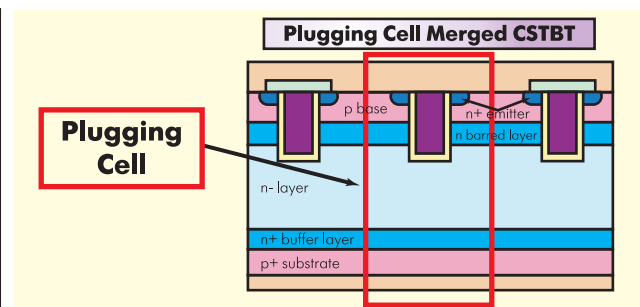
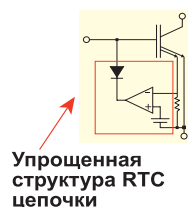
С этой структурой шаг ячеек может быть откорректирован с помощью подключения необходимого количества ячеек в модуле с высокой плотностью ячеек. Это дает возможность получить низкое значение напряжения насыщения, сохраняя в то же время низкий ток насыщения (при К.З.) в одном модуле. С этой технологией



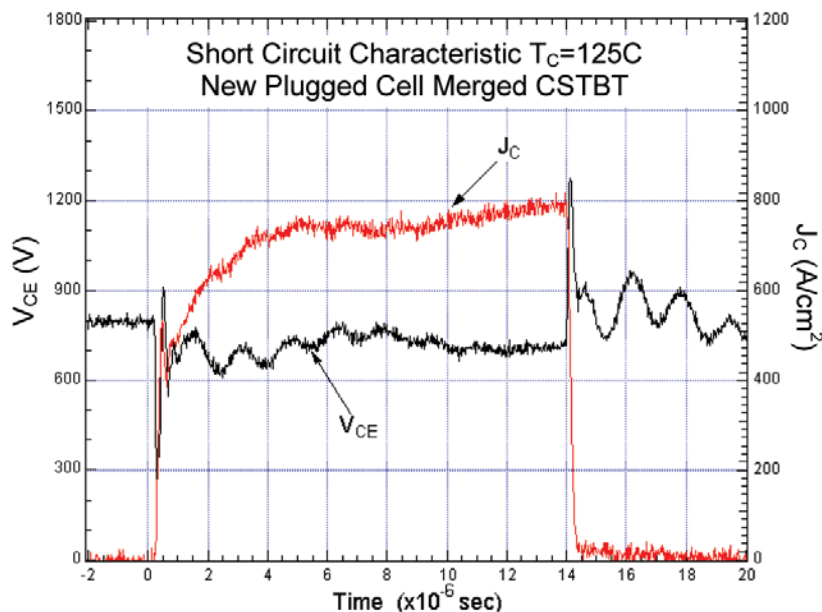
**Рисунок 4** Временная диаграмма напряжения  $V_{ce}$  и тока  $I_c$  при коротком замыкании (без использования цепочки RTC)



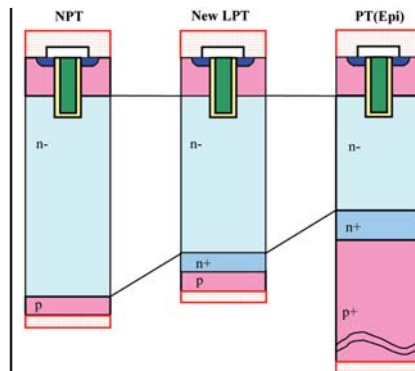
**Рисунок 5** Временная диаграмма напряжений  $V_{ce}$ ,  $V_{ge}$  и тока  $I_c$  при коротком замыкании (при использовании цепочки RTC)



**Рисунок 6** Plugging Cell Merged CSTBT



**Рисунок 7** Временные характеристики CSBT(Plugged Cell Merged) модуля при температуре 125°С и пятикратном превышении номинального тока Ic



**Рисунок 8** Сравнение IGBT с вертикальной структурой

возможно достигнуть тока К.З. в 5-8 раз превышающего номинальный ток не рискуя вывести из строя кристалл. Время устойчивости модуля к К.З. увеличивается в среднем до **20 мкс.** (!) без использования дополнительных ограничителей тока.

Поликристаллический кремний в "подключенном" элементе соединяется с электродом эмиттера. Это соединение дает дополнительную емкость исток-сток, которая помогает стабилизировать потенциал стока при К.З. В результате получаем стабильные осцилляции Vce при К.З. (практически на уров-

не trench IGBT) даже при высокочастотном переключении (Рис. 7).

**ТЕХНОЛОГИЯ LIGHT PUNCH THROUGH (LPT) ДЛЯ 1200-ВОЛЬТОВЫХ IGBT**

Кроме введения барьерного слоя, в CSTBT была также оптимизирована и вертикальная структура транзистора. Схематическое сравнение обычного NPT, эпитаксиального PT и LPT показано на рис.8.

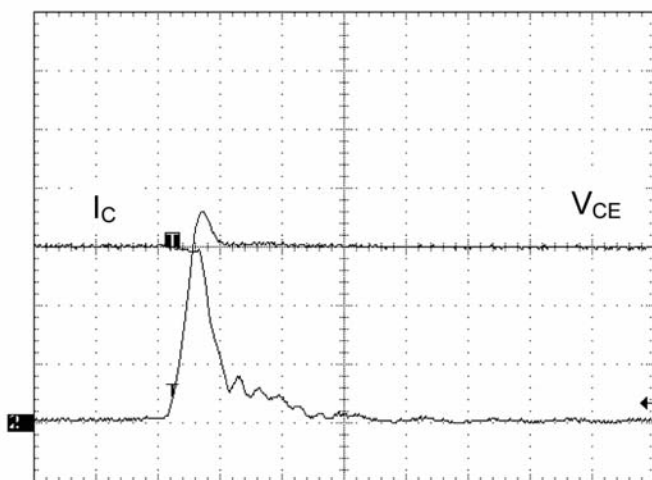
Принцип LPT-структуры заключается в оптимизации n- области, чтобы

обеспечить минимальное напряжение  $V_{CE(SAT)}$  при поддержании устойчивых переключений в области безопасной работы (SOA).

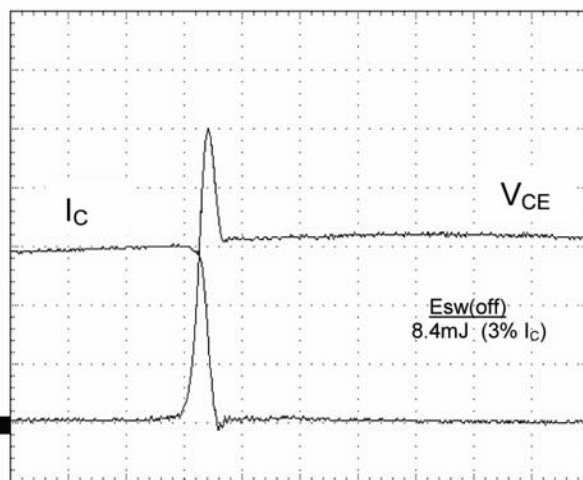
N-буферный слой обеспечивает достаточно высокое напряжение пробоя и низкий ток утечки при оптимально тонкой n- области. Толщина n- области выбирается так, чтобы обедненный слой расширился до коллектора при приложенном номинальном напряжении в закрытом состоянии. Однако при нормальном рабочем напряжении обедненная область не достигает буферного слоя, подобно транзисторам с обычной NPT структурой.

Другой топологический элемент LPT-структуры - оптимизация n+ буферного и p- коллекторного слоя, которые обеспечивают управление концентрацией носителей заряда в n- слое. В результате получаем улучшенные характеристики переключения без необходимости в допол-

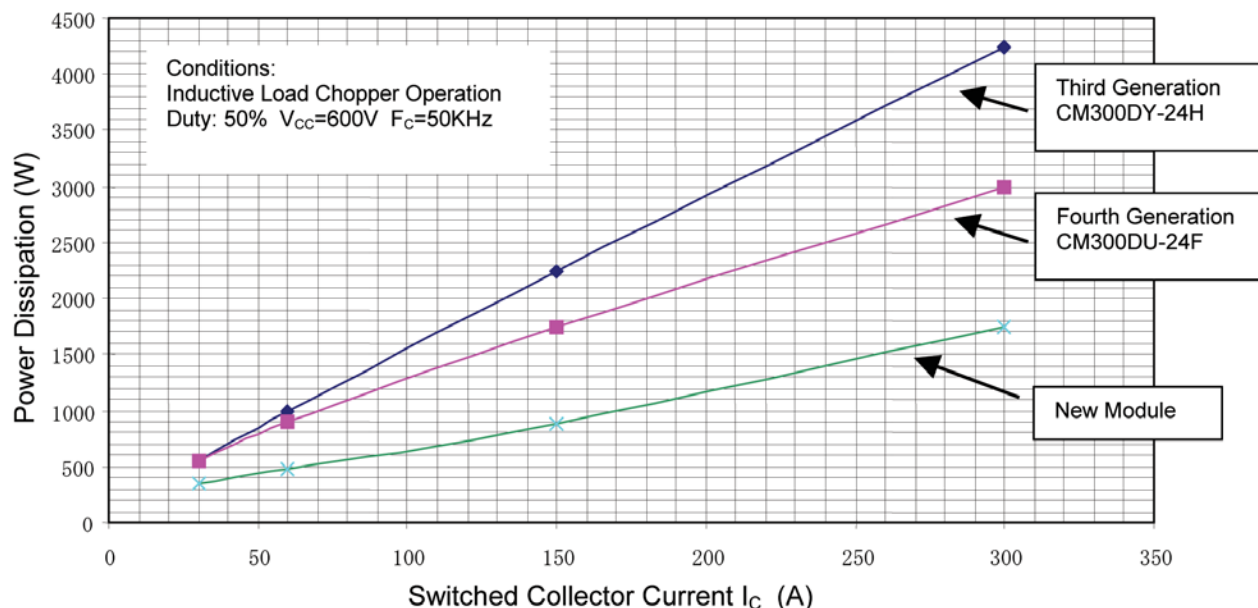
**Standard F-Series**  
Turn-Off Waveform Tj=125C,  
Vcc=600V, Ic=300A, t:200ns/div



**High speed CSTBT**  
Turn-Off Waveform Tj=125C,  
Vcc=600V, Ic=300A, t:200ns/div



**Рисунок 9** Сравнение временных диаграмм переключения стандартного IGBT и нового высокочастотного CSTBT



**Рисунок 11** Зависимость тока коллектора от рассеиваемой мощности при индуктивной нагрузке и "жестком" переключении

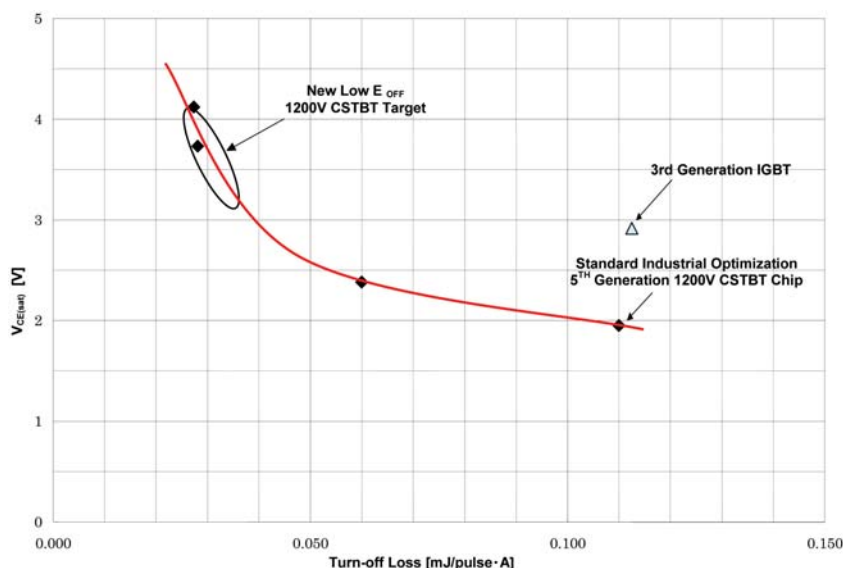
нительном управлении временем жизни носителей заряда.

Структура новых CSTBT кристаллов позволяет изменять  $V_{CE(SAT)}$  для получения более низких потерь переключения, регулируя время жизни неосновных носителей. На рис.10 приведена зависимость энергии переключения от напряжения насыщения для LPT-CSTBT транзисторов 5-го поколения. Для высокочастотных промышленных применений была выбрана целевая рабочая частота от 40кГц до 50 кГц. На основании этой кривой была определена оптимальная точка в районе  $V_{CE(SAT)} = 3,8В$  и  $E_{off} = 0,028мJ/pulse \cdot A$ .

Время жизни носителей в 1200-вольтовых CSTBT транзисторах 5-го поколения было откорректировано с помощью нового процесса "уничтожения" собственного времени жизни носителей. В результате был получен транзистор со значительно уменьшенной энергией переключения. Кроме того, было уделено особое внимание потерям, связанным с "остаточным" током из-за вносимого ими значительного вклада в общие потери в устройствах с "мягким" и "жестким" переключением.

На рис.9 приводятся временные диаграммы переключения нового высокочастотного CSTBT и стандартного IGBT. Здесь ясно видно значительное уменьшение потерь переключения и почти полное устранение "остаточного" тока.

На рис.11 показаны сравнительные потери мощности при "жестком" переключении при индуктивной нагрузке и



**Рисунок 10** Зависимость энергии переключения Eoff от VCE(SAT) нового высокочастотного CSTBT транзистора

**Таблица 1. Сравнительная характеристика 100A-1200В IGBT модулей (типичные значения)**

Характеристика	3-е поколение планарных IGBT	4-е поколение планарных IGBT	4-е поколение Trench IGBT	CSTBT-LPT
$V_{CE(sat)}$	2,5В	2,1В	1,9В	2,0В
$I_{CE(sat)}$	600А	1000А	1500А	500А
Cies	9,6нФ	12,9нФ	24,3нФ	12,8нФ
RBSOA	Свыше 300А	Свыше 300А	Свыше 400А	Свыше 400А
tw(crit)	20мкс	5мкс (10мкс RTC)	5мкс (10мкс RTC)	20мкс Без RTC

частоте 50 кГц. Из графика видно, что IGBT модули нового поколения обеспечивают уменьшение общих потерь переключения почти на 60%.

В таблице 1 приведены сравнительные характеристики 100A-1200В IGBT модулей. У "Mitsubishi-Electric" представ-

лены следующие серии IGBT модулей 5-го поколения:

- А-серия;
- NF-серия;
- MPD-серия;
- IPM 5-го поколения - L-серия.